

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-052081

(43)Date of publication of application : 25.02.1994

(51)Int.Cl. G06F 13/00
H04L 12/56

(21)Application number : 04-201503

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.07.1992

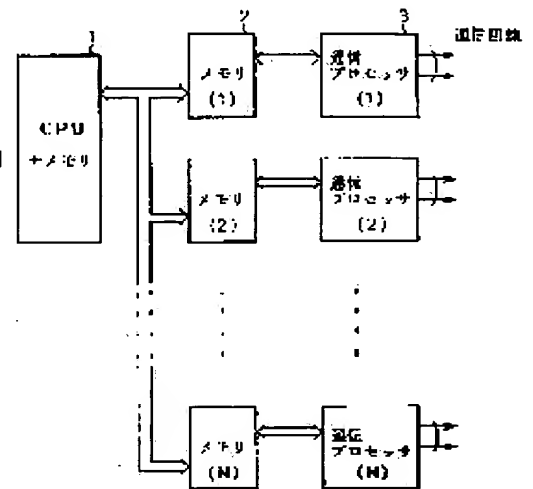
(72)Inventor : HAZAMA HISAMICHI

(54) LOCAL MEMORY TYPE DMA CONTROL SYSTEM FOR PACKET COMMUNICATION

(57)Abstract:

PURPOSE: To prevent the deterioration of the processing ability of both a communication processor and the software by providing a memory to which two address media can have accesses at one time.

CONSTITUTION: The packet communication is provided with a communication processor 3 which processes the less significant layers of a protocol and a CPU 1 which contains the software to process the more significant layers of the protocol. In a local memory type DMA(direct memory access) control system for the preceding packet communication, the dual port memories 2 are provided for each processor 3 and directly connected to these processors 3 to have the direct accesses to the software of the processors 3. In such a constitution, two address media can have accesses to a memory at one time. As a result, both the processor 3 and the CPU 1 can have accesses at one time to a local memory with no mutual consciousness of the memory access situation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-52081

(43) 公開日 平成6年 (1994) 2月25日

(51) Int. Cl. ⁵
G06F 13/00
H04L 12/56

識別記号 庁内整理番号 F I
353 S 7368-5B

技術表示箇所

8529-5K

H04L 11/20

102 Z

審査請求 未請求 請求項の数4 (全 7 頁)

(21) 出願番号 特願平4-201503
(22) 出願日 平成4年 (1992) 7月28日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72) 発明者 裕 久通
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 青木 朗 (外3名)

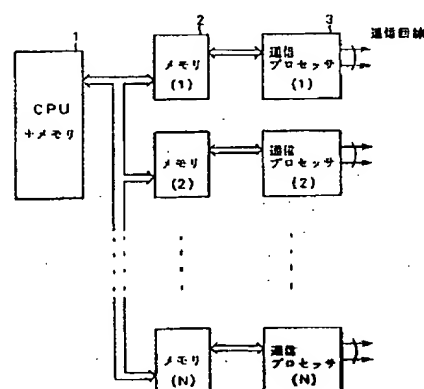
(54) 【発明の名称】 パケット通信におけるローカルメモリ型DMA制御方式

(57) 【要約】

【目的】 本発明はパケット通信におけるローカルメモリ型DMA制御方式に関し、通信プロセッサとCPUとのメモリアクセス競合を回避することで、通信回線が数多い場合にCPUの処理能力を低下させないようにすることを目的とする。

【構成】 プロトコルの下位レイヤを処理する通信プロセッサ3と上位レイヤを処理するソフトウェアを実装する中央処理装置1とを備えたパケット通信におけるローカルメモリ型DMA制御方式であって、通信プロセッサ3ごとに設けられ、通信プロセッサ3と直接接続され、ソフトウェアが直接アクセスできるデュアルポートメモリ2を具備するよう構成される。

本発明の原理を説明する図



【特許請求の範囲】

【請求項1】 パケット通信におけるプロトコルの下位レイヤを処理する通信プロセッサ(3)とプロトコルの上位レイヤを処理するソフトウェアを実装する中央処理装置(1)とを備えたパケット通信におけるローカルメモリ型DMA制御方式であって、

該通信プロセッサ(3)ごとに設けられ、該通信プロセッサ(3)と直接接続され、該ソフトウェアが直接アクセスできるデュアルポートメモリ(2)を具備し、通信回線が多数收容された場合または通信回線速度が速い場合でも通信プロセッサ(3)と中央処理装置(1)の双方の処理能力を低下させないようにしたパケット通信におけるローカルメモリ型DMA制御方式。

【請求項2】 該デュアルポートメモリ(2)における2つのポートに対するビジー信号を一定時間引きのばして共に中央処理装置(1)へ返し、該通信プロセッサ(3)の動作を優先するように制御する請求項1のパケット通信におけるローカルメモリ型DMA制御方式。

【請求項3】 複数の該通信プロセッサが1つの該中央処理装置(1)で制御されるようにした請求項1のパケット通信におけるローカルメモリ型DMA制御方式を用いた通信プロトコル終端方式。

【請求項4】 請求項3の通信プロトコル終端方式を適用するようにした複数回線パケット通信用送受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はパケット通信におけるローカルメモリ型DMA(ダイレクトメモリアクセス)制御方式に関し、特に送受信パケットデータをメモリへ展開する際の制御方式とメモリの構成に関するものである。

【0002】

【従来の技術】 近年、パケット通信方式はHDLC(High-level Data link Control procedures)プロトコルやLANプロトコルに代表されるようにビットレートの高速度または手順の複雑化の傾向が顕著になり、プロトコルの下位レイヤ(ほぼレイヤ1, 2)を処理する専用の通信プロセッサとプロトコルの上位レイヤを処理するソフトウェアでパケット通信手順を実現するのが主流となっている。その際、通信プロセッサとソフトウェアのやりとり、いわゆるインタフェースは高速化に対応するた

めダイレクトメモリアクセス(DMA)方式が一般に採用されている。

【0003】 DMA方式による受信/送信処理は以下の通りである。まず、受信処理は、通信プロセッサが受信したパケットデータをソフトウェアが管理する中央処理装置(CPU)のメモリ領域へCPUバスサイクルの空きを作って、通信プロセッサが高速展開をし、パケット終了をもってソフトウェアにパケット受信を通知し、その後ソフトウェアは、パケットデータに対して高位レイヤ処理を行う。一方、パケットデータを送信する際は、まず、ソフトウェアにより、高位レイヤ処理された通信パケットデータを通信プロセッサとのインタフェース用メモリに展開し、通信プロセッサは、ソフトウェアの送信指示を受け、DMAにより通信速度に応じたデータ量をメモリから読み出す。そして、全てのデータを読み出した後、ソフトウェアに送信終了を通知する。図2にモデルとする一般的なハードウェアの構成を、図3に受信タイムチャートを、図4に送信タイムチャートを示す。図2において、割り込みはパケット受信や送信完了を通知する処理過程である。

【0004】 DMA方式による受信/送信処理の利点は、送受信データのある単位、例えば1バイトごとにソフトウェアが係わるのでは無く、パケットごと一括処理できる点である。これを数値を使って例を示すと、通信速度が64 kbpsである場合、1バイトごとにソフトウェアに通知すると125マイクロ秒(1/8キロバイト/秒)ごとに割り込みが入り、ソフトウェアの負荷は相当なものとなる。一方、同一条件で、DMA方式を用いると、パケット長が仮に100バイトの場合、ソフトウェア処理の周期は12.5ミリ秒(最小)に1回となり、オーバーヘッドの削減は明らかである。

【0005】 次に、DMA方式に付随するハードウェア構成方法の中でインタフェース用のメモリ配置に着目すると、ローカルメモリ型とメインメモリ共有型の2種が用いられている。ローカルメモリ型を図6に、メインメモリ共有型を図7に、それぞれハードウェア構成図を示す。この2つの方法にはそれぞれ長所、短所があり、おおむね以下の通りである。

【0006】

40. 【表1】

	ローカルメモリ型	メインメモリ共有型
長所	DMA転送の間もCPUのバスを借用する必要がなく、CPUの処理能力を低下させない。	メモリ転送回数を最小限に止めることができ、ハード量も少ない。
短所	ハード量が大。 メモリ転送回数が多くなる。 CPUとのメモリアクセス競合を回避しなければならない。	DMA転送の間にCPUのバスを借用するため、CPUの処理能力を低下させる。

【0007】従来、メインメモリ共有型での欠点とされているCPUバス借用時間（CPUホールド時間）は、パケット受信時間に比べて小さく（ミリ秒オーダーに対しマイクロ秒オーダー）、通信回線が少ない場合全く問題にならない。従って、メインメモリ共有型でハードウェアを構成するのが常であった。

【0008】

【発明が解決しようとする課題】しかしながら、通信回線が数多い場合、または通信回線速度が速い場合は、CPUバス借用時間は、相対的に長くなり、CPUの処理能力の低下は無視できなくなり、場合によっては、CPUチップの性能向上（16ビットCPUから32ビットCPUへの変更など）を考えなければならなくなる。これは、CPUチップの価格のみならず、ソフトウェアおよびハードウェアの開発費の上昇を招く。

【0009】従って、本発明の目的はローカルメモリ型のDMA制御方式における通信プロセッサとCPUとのメモリアクセス競合を回避することで、通信回線が数多い場合にCPUの処理能力を低下させないようにすることにある。従来のローカルメモリ型での通信プロセッサとCPUとのメモリアクセス競合は、ソフトウェアの制御により、通信プロセッサに対しメモリアクセス禁止のフラグを発生させ、プロセッサの動作を止める方式がとられているが、この方式では、著しく通信プロセッサのスループットを低下させるだけでなく、通信回線速度が速い場合には、パケットデータを取りこぼす危険がある。

【0010】

【課題を解決するための手段】本発明においては、図1に図示されるように、パケット通信におけるプロトコルの下位レイヤを処理する通信プロセッサ3と、プロトコルの上位レイヤを処理するソフトウェアを実装する中央

処理装置1とを備えたパケット通信におけるローカルメモリ型DMA制御方式であって、該通信プロセッサ3ごとに設けられ、該通信プロセッサ3と直接接続され、該ソフトウェアが直接アクセスできるデュアルポートメモリ2を具備し、通信回線が多数収容された場合または通信回線速度が速い場合でも通信プロセッサ3と中央処理装置1の双方の処理能力を低下させないようにしたパケット通信におけるローカルメモリ型DMA制御方式が提供される。

【0011】

【作用】上述の方式を用いれば、同時に2つのアドレス出力媒体がアクセス可能なメモリを構成し、通信プロセッサ3とCPU1が互いにメモリアクセス状況を意識することなく、ローカルメモリにアクセスできる。これにより、通信プロセッサ3とCPU1の双方がスループットを低下させることのないパケットデータインタフェースを実現できる。

【0012】

【実施例】本発明の一実施例としてのパケット通信におけるローカルメモリ型DMA制御方式を行う装置のブロック図が図5に示される。この装置は、CPU1、デュアルポートメモリ2、通信プロセッサ3、アドレスバッファ4、引きのぼし回路5、およびオア回路6を具備する。図5においては通信回線が1つの場合を示しているが、通常、通信回線は複数存在し図1のような構成となっている。CPU1とデュアルポートメモリ2はアドレスバスによってアドレスバッファ4を介して接続され、データバスを介して直接接続される。デュアルポートメモリ2と通信プロセッサ3は他の1つのアドレスバスおよび他の1つのデータバスによって直接接続される。また通信プロセッサは通信回線へ接続される。

【0013】デュアルポートメモリ2は、同時に2つの

アドレス出力媒体がアクセス可能なメモリを構成し、集積化したものであるが、2つの媒体の出力するアドレスが全く同一である時、時間的に後でアドレスが変化したポートに対し、ビジー信号を出力し、アクセス動作の一時停止を促す。本来デュアルポートメモリを用いる場合、ビジー信号は、それぞれのポートに与え、後発を待たせるように制御するが、本発明の対象とするローカルメモリの場合、通信プロセッサでのウェイト動作は、パケットデータの受信または送信動作の中断を意味し、最悪の場合、ビット欠落を招く。

【0014】このことから、どちらのポートのビジー信号も、CPU側へ出力する。このビジー信号で、CPUをウェイトサイクルへ持ち込むのは当然として、通信プロセッサが後発の場合でも正常なリード/ライト動作を保証するため、このビジー信号で、CPU側のアドレスをハイインピーダンス状態とし、デュアルポートメモリから見て、アドレス競合状態を解消させる。これにより、通信プロセッサが後発の場合でもメモリのアクセスが正常に実行できる。また、不安定な動作を避けるため、ビジー信号は、一旦有効になる（ビジー状態になる）と引きのばし回路5により一定時間保持することとする。この時間は、通信プロセッサが1アドレス分の処理をする時間を少し上回る程度で十分である。通信プロセッサが1アドレス分の処理する時間は、ソフトウェアが1アドレス分の処理する時間に比べ十分短いため、ソフトウェアの処理能力に与える影響は軽微と言える。しかも、同一アドレスにアクセスする可能性も少ないため、ソフトウェアの処理能力低下は、殆どないと考えてよい。上述の装置は通信プロトコル終端方式を構成し、パケット通信用送受信装置に適用される。

【0015】

【発明の効果】本発明によれば、同時に2つのアドレス出力媒体がアクセス可能なメモリを構成することにより、パケット通信を制御する通信プロセッサとプロトコルの上位レイヤを制御するソフトウェアの双方の処理能力の低下を防止できる。そして、通信回線が数多い場合または通信回線速度が速い場合に特に有効なCPU/パケット通信専用プロセッサインタフェースを提供できる。

10 【図面の簡単な説明】

【図1】本発明の原理を説明する図である。

【図2】一般的なパケット通信におけるメインメモリ型DMA制御方式を行う装置のブロック図である。

【図3】一般的なパケット通信におけるDMA制御方式の受信処理のタイムチャートを示す図である。

【図4】一般的なパケット通信におけるDMA制御方式の送信処理のタイムチャートを示す図である。

【図5】本発明の実施例の方式を行う装置のブロック図である。

20 【図6】従来型のローカルメモリ型DMA制御方式を行う装置のブロック図である。

【図7】従来型のメインメモリ型DMA制御方式を行う装置のブロック図である。

【符号の説明】

1…CPU

2…デュアルポートメモリ

3…通信プロセッサ

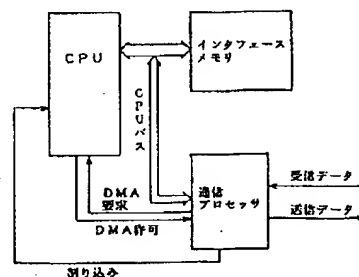
4…アドレスバッファ

5…引きのばし回路

30 6…オア回路

【図2】

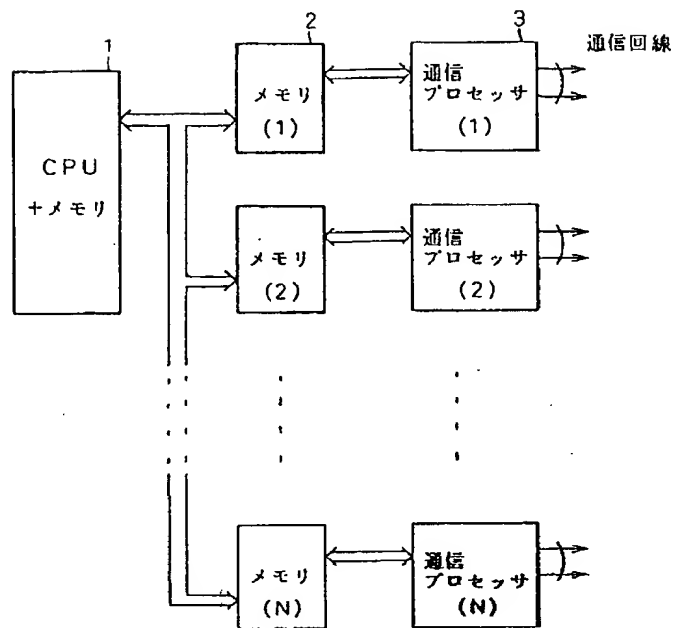
一般的なパケット通信におけるメインメモリ型DMA制御方式を行う装置のブロック図



(5)

【図1】

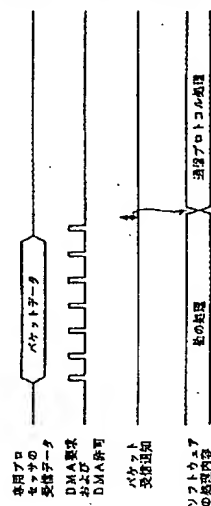
本発明の原理を説明する図



(6)

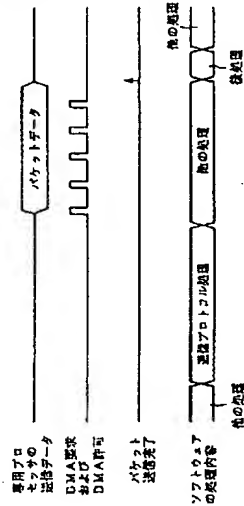
【図3】

一般的なパケット通信におけるDMA制御方式の受信処理のタイムチャートを示す図



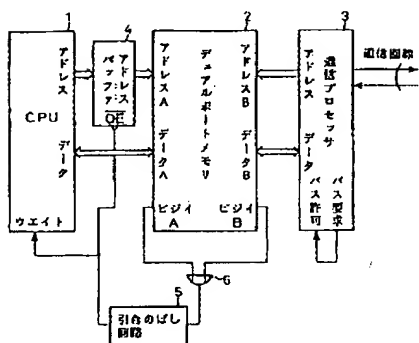
【図4】

一般的なパケット通信におけるDMA制御方式の送信処理のタイムチャートを示す図



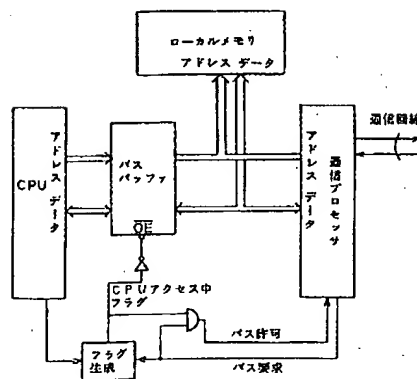
【図5】

実施例の方式を行う装置のブロック図



【図6】

従来型のローカルメモリ型DMA制御方式を行う装置のブロック図



(7)

【図7】

従来のメインメモリDMA制御方式を行う装置
のブロック図

